

**No title available****Publication number:** JP2003337805 (A)**Publication date:** 2003-11-28**Inventor(s):****Applicant(s):****Classification:**

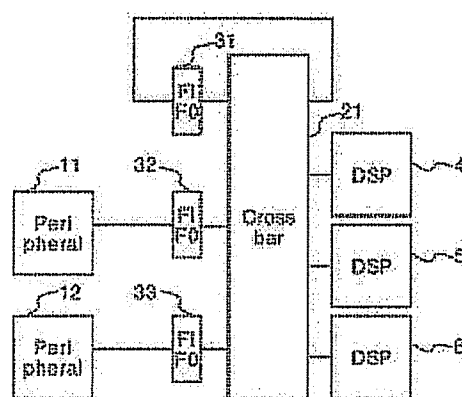
**- international:** G06F15/173; G06F13/36; G06F13/38; G06F15/16; G06F15/17;  
G06F15/16; G06F13/36; G06F13/38; (IPC1-7): G06F15/16;  
G06F13/36; G06F13/38; G06F15/17; G06F15/173

**- European:****Application number:** JP20020144872 20020520**Priority number(s):** JP20020144872 20020520**Also published as:**

JP4108371 (B2)

**Abstract of JP 2003337805 (A)**

**PROBLEM TO BE SOLVED:** To provide a multi-processor system capable of realizing data transfer between arbitrary devices, high speed data transfer, and cost reduction.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-337805

(P2003-337805A)

(43) 公開日 平成15年11月28日 (2003. 11. 28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 6 F 15/16	6 4 5	G 0 6 F 15/16	6 4 5 5 B 0 4 i
	6 2 0		6 2 0 C 5 B 0 6 1
13/36	5 3 0	13/36	5 3 0 A 5 B 0 7 7
13/38	3 1 0	13/38	3 1 0 B
	3 4 0		3 4 0 C

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2002-144872(P2002-144872)

(22) 出願日 平成14年5月20日 (2002. 5. 20)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岡崎 彰浩

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089118

弁理士 酒井 宏明

Fターム(参考) 5B045 BB14 BB35 GG15

5B061 FF05 GG13 SS04

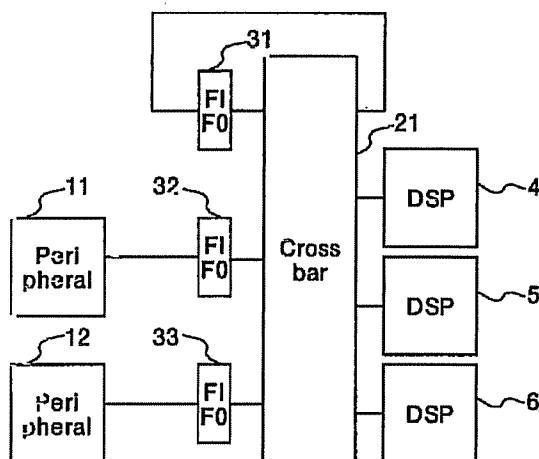
5B077 AA18 BA02 DD02

(54) 【発明の名称】 マルチプロセッサシステムおよびデータ転送方法

(57) 【要約】

【課題】 任意のデバイス間のデータ転送、高速なデータ転送、およびコスト抑圧、を実現可能なマルチプロセッサシステムを得ること。

【解決手段】 本発明のマルチプロセッサシステムは、複数のDSP (4, 5, 6) および複数のペリフェラル (11, 12) を含む構成とし、さらに、DSP間で転送されるデータを一時的に蓄えるFIFO 31と、ペリフェラルとDSPとの間で転送されるデータを一時的に蓄えるFIFO (32, 33) と、すべてのDSPおよびFIFOと接続し、デバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替えるクロスバースイッチ21と、を備え、プロセッサとペリフェラルの間、およびプロセッサ間、で各FIFOおよびクロスバースイッチ21を経由したデータ転送を行う。



【特許請求の範囲】

【請求項1】 複数のプロセッサおよび複数の周辺装置を含む構成とし、デバイス（プロセッサ、周辺装置）間で個別にデータ転送を行うためのマルチプロセッサシステムにおいて、

前記デバイス間で転送されるデータを一時的に蓄えるデータ蓄積手段と、

前記デバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替える切り替え手段と、

を備えることを特徴とするマルチプロセッサシステム。

【請求項2】 前記複数のプロセッサの1つをマスターとし、残りをスレーブとし、

前記プロセッサと前記周辺装置との間、および前記マスターとして動作するプロセッサと前記スレーブとして動作するプロセッサとの間、で前記データ蓄積手段および前記切り替え手段を経由したデータ転送を行うことを特徴とする請求項1に記載のマルチプロセッサシステム。

【請求項3】 前記データ蓄積手段を、マスターとして動作するプロセッサとスレーブとして動作するその他のプロセッサとの間で転送されるデータを一時的に蓄えるプロセッサ用FIFOと、

前記周辺機器と前記プロセッサとの間で転送されるデータを前記周辺機器毎に一時的に蓄える複数の周辺装置用FIFOと、

で構成することを特徴とする請求項2に記載のマルチプロセッサシステム。

【請求項4】 前記プロセッサと前記周辺装置との間、および前記プロセッサ間、で前記データ蓄積手段および前記切り替え手段を経由したデータ転送を行うことを特徴とする請求項1に記載のマルチプロセッサシステム。

【請求項5】 前記データ蓄積手段を、プロセッサ間で転送されるデータを一時的に蓄えるプロセッサ用FIFOと、

前記周辺機器と前記プロセッサとの間で転送されるデータを前記周辺機器毎に一時的に蓄える複数の周辺装置用FIFOと、

で構成することを特徴とする請求項4に記載のマルチプロセッサシステム。

【請求項6】 前記切り替え手段としてクロスバースイッチを用いることを特徴とする請求項1～5のいずれか1つに記載のマルチプロセッサシステム。

【請求項7】 複数のプロセッサおよび複数の周辺装置を含むマルチプロセッサシステム内の、デバイス（プロセッサ、周辺装置）間のデータ転送方法において、

マスターとして動作するプロセッサが、すべてのプロセッサで共有可能なプロセッサ用FIFOおよびデバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替える切り替え装置経由で、スレーブとして動作するプロセッサに対してデータを転送する第1の工程と、

スレーブとして動作するプロセッサが、前記プロセッサ用FIFOおよび前記切り替え装置経由で、マスターとして動作するプロセッサに対してデータを転送する第2の工程と、

前記プロセッサが、周辺装置個別の周辺装置用FIFOおよび前記切り替え装置経由で、所望の周辺装置に対してデータを転送する第3の工程と、

前記周辺装置が、前記周辺装置用FIFOおよび前記切り替え装置経由で、所望のプロセッサに対してデータを転送する第4の工程と、

を含むことを特徴とするデータ転送方法。

【請求項8】 複数のプロセッサおよび複数の周辺装置を含むマルチプロセッサシステム内の、デバイス（プロセッサ、周辺装置）間のデータ転送方法において、

前記プロセッサが、すべてのプロセッサで共有可能なプロセッサ用FIFOおよびデバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替える切り替え装置経由で、所望のプロセッサに対してデータを転送する第1の工程と、

前記プロセッサが、周辺装置個別の周辺装置用FIFOおよび前記切り替え装置経由で、所望の周辺装置に対してデータを転送する第2の工程と、

前記周辺装置が、前記周辺装置用FIFOおよび前記切り替え装置経由で、所望のプロセッサに対してデータを転送する第3の工程と、

を含むことを特徴とするデータ転送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リアルタイム性を要求されるマルチプロセッサシステムに関するものであり、特に、デジタル無線機を実現するためのハードウェア構成として好適なマルチプロセッサシステム、および当該マルチプロセッサシステムにて実現されるデータ転送方法に関するものである。

【0002】

【従来の技術】以下、従来のデータ転送方法について説明する。デジタル無線機などリアルタイム性が要求されるデータ処理装置では、高速、大容量のデータ演算が必要とされる。これを実現するための構成としては、たとえば、複数のDSP (Digital Signal Processor) を用いてデジタル信号処理を行う構成がある。なお、この構成では、大容量のリアルタイムデータを複数のDSPに転送する。

【0003】図10は、データ転送を実現するための従来のデータ処理装置（第1の従来技術）の構成を示す図であり、100、101、102はDSPであり、110は入出力ペリフェラル (Peripheral) である。ここでは、複数のDSP (100～102) をバス上に配置した状態でデータ転送を行う。入出力ペリフェラル110、各DSPに対してバス上のアドレスを付与すること

により、任意のペリフェラルとDSPとの間でデータ転送を行う。

【0004】図11は、データ転送を実現するための従来のデータ処理装置（第2の従来技術）の構成を示す図である。ここでは、入出力ペリフェラル110と各DSP（100～102）との間を双方向FIFO（BIFO）120で接続する。FIFOで接続されたデバイス間のデータ転送は他のデバイスとは独立に動作するため、高速なデータ転送が実現できる。また、FIFOによりデバイス間のデータ転送が分離されるため、DSPバスの利用効率を向上させることができる。

【0005】

【発明が解決しようとする課題】しかしながら、上記第1の従来技術に記載のデータ転送方法では、バスがデバイス間のデータ転送に占有されるため、すなわち、バスの占有により他のデバイスがデータ転送を行えなくなるため、全体として高速なデータ転送を実現できない、という問題があった。また、上記データ転送方法では、デバイス間で直接データ転送を行うため、両方に対して同時にデータ転送処理を行う必要がある。したがって、DSPバスの利用制約が増加し、パフォーマンスが低下する、という問題があった。

【0006】また、上記第2の従来技術に記載のデータ転送方法では、任意のデバイス間のデータ転送が不可能となり、直接FIFOで接続されていないデバイス間のデータ転送については、途中のデバイスを中継する必要がある。したがって、データ転送速度および処理効率が低下する、という問題があった。また、上記データ転送方法では、デバイス数分のFIFOが必要であるため、コストがかかる、という問題があった。

【0007】本発明は、上記に鑑みてなされたものであって、任意のデバイス間のデータ転送、高速なデータ転送、およびコスト抑圧（高額部品点数の削減）、を実現可能なマルチプロセッサシステムおよびデータ転送方法を得ることを目的とする。

【0008】

【課題を解決するための手段】上述した課題を解決し、目的を達成するために、本発明にかかるマルチプロセッサシステムにあっては、複数のプロセッサおよび複数の周辺装置を含む構成とし、デバイス（プロセッサ、周辺装置）間で個別にデータ転送を行うために、前記デバイス間で転送されるデータを一時的に蓄えるデータ蓄積手段と、前記デバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替える切り替え手段と、を備えることを特徴とする。

【0009】つぎの発明にかかるマルチプロセッサシステムにあっては、前記複数のプロセッサの1つをマスターとし、残りをスレーブとし、前記プロセッサと前記周辺装置との間、および前記マスターとして動作するプロセッサと前記スレーブとして動作するプロセッサとの

間、で前記データ蓄積手段および前記切り替え手段を経由したデータ転送を行うことを特徴とする。

【0010】つぎの発明にかかるマルチプロセッサシステムにあっては、前記データ蓄積手段を、マスターとして動作するプロセッサとスレーブとして動作するその他のプロセッサとの間で転送されるデータを一時的に蓄えるプロセッサ用FIFOと、前記周辺機器と前記プロセッサとの間で転送されるデータを前記周辺機器毎に一時的に蓄える複数の周辺装置用FIFOと、で構成することを特徴とする。

【0011】つぎの発明にかかるマルチプロセッサシステムにあっては、前記プロセッサと前記周辺装置との間、および前記プロセッサ間、で前記データ蓄積手段および前記切り替え手段を経由したデータ転送を行うことを特徴とする。

【0012】つぎの発明にかかるマルチプロセッサシステムにあっては、前記データ蓄積手段を、プロセッサ間で転送されるデータを一時的に蓄えるプロセッサ用FIFOと、前記周辺機器と前記プロセッサとの間で転送されるデータを前記周辺機器毎に一時的に蓄える複数の周辺装置用FIFOと、で構成することを特徴とする。

【0013】つぎの発明にかかるマルチプロセッサシステムにあっては、切り替え手段としてクロスバースイッチを用いることを特徴とする。

【0014】つぎの発明にかかるデータ転送方法にあっては、マスターとして動作するプロセッサが、すべてのプロセッサで共有可能なプロセッサ用FIFOおよびデバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替える切り替え装置経由で、スレーブとして動作するプロセッサに対してデータを転送する第1の工程と、スレーブとして動作するプロセッサが、前記プロセッサ用FIFOおよび前記切り替え装置経由で、マスターとして動作するプロセッサに対してデータを転送する第2の工程と、前記プロセッサが、周辺装置個別の周辺装置用FIFOおよび前記切り替え装置経由で、所望の周辺装置に対してデータを転送する第3の工程と、前記周辺装置が、前記周辺装置用FIFOおよび前記切り替え装置経由で、所望のプロセッサに対してデータを転送する第4の工程と、を含むことを特徴とする。

【0015】つぎの発明にかかるデータ転送方法にあっては、所定のプロセッサが、すべてのプロセッサで共有可能なプロセッサ用FIFOおよびデバイス間毎に規定されたアドレスに応じて入出力ポートの接続を切り替える切り替え装置経由で、所望のプロセッサに対してデータを転送する第1の工程と、前記プロセッサが、周辺装置個別の周辺装置用FIFOおよび前記切り替え装置経由で、所望の周辺装置に対してデータを転送する第2の工程と、前記周辺装置が、前記周辺装置用FIFOおよび前記切り替え装置経由で、所望のプロセッサに対してデータを転送する第3の工程と、を含むことを特徴とす

る。

【0016】

【発明の実施の形態】以下に、本発明にかかるマルチプロセッサシステムおよびデータ転送方法の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0017】実施の形態1. 図1は、本発明にかかるマルチプロセッサシステムの実施の形態1の構成を示す図である。1はマスターDSP (master DSP) であり、2, 3はスレーブDSP (slave DSP) であり、11, 12は入出力となるペリフェラル (Peripheral) であり、21はそれぞれの入力端子を任意に接続可能なクロスバースイッチ (Cross bar) であり、31, 32, 33は双方向にデータを転送可能なFIFO (BI-FIFO: Bi-directional FIFO) である。

【0018】上記マルチプロセッサシステムでは、マスターDSP1とFIFO31, 各DSP (1, 2, 3) とクロスバースイッチ21が、各DSP (1, 2, 3) のローカルバスを経由して接続されており、それぞれの接続に個別にバスアドレスを割り当てる。具体的にいうと、マスターDSP1のローカルバスには、FIFO31とクロスバースイッチ21が接続されており、それぞれのアドレスを用いてアクセスする。

【0019】なお、本実施の形態では、本発明にかかるマルチプロセッサシステムをデジタル無線機に適用した場合の一例を説明する。この場合、ペリフェラル11は、たとえば、受信信号をサンプリングするA/D変換器、すなわち、入力ペリフェラルとして動作する。各DSPでは、ペリフェラル11を経由して受信したデータを復調し、その復調結果を得る。また、この場合、ペリフェラル12は、たとえば、送信信号を連続化するD/A変換器、すなわち、出力ペリフェラルとして動作する。

【0020】ここで、本実施の形態のマルチプロセッサシステムのデータ転送経路について説明する。図2, 図3, 図4, 図5は、データ転送経路の一例を示す図である。

【0021】たとえば、ペリフェラル11により変換された受信データは、FIFO32に蓄えられる。マスターDSP1, スレーブDSP2, 3では、FIFO32に蓄えられ受信データを、図2に示す経路で読み出す。

【0022】また、DSP間のデータ転送は、図3および図4に示す経路で実現できる。たとえば、マスターDSP1では、FIFO31を経由して、スレーブDSP2, 3にデータを転送する (図3参照)。また、スレーブDSP2, 3では、FIFO31を経由して、マスターDSP1にデータを転送する (図4参照)。

【0023】また、データを出力する場合、マスターDSP1, スレーブDSP2, 3では、送信データをFI

FIFO33に蓄える。そして、ペリフェラル12では、FIFO33からデータを受け取り、変換後のデータを出力する (図5参照)。

【0024】なお、本実施の形態では、ペリフェラル11, 12として、リアルタイムに動作するAD変換器、DA変換器を想定したため、各ペリフェラルに対してそれぞれFIFO32, 33を接続したが、たとえば、ペリフェラル11, 12をマスターDSP1だけで制御する場合には、FIFO32, 33を省略できる。

【0025】このように、本実施の形態では、マスターとして動作するDSPとスレーブとして動作する複数のDSPとを備える構成とし、さらに、FIFOおよびクロスバースイッチを経由してデバイス間を接続している。これにより、スレーブDSP間以外の任意のデバイス間でデータ転送を実現できる。また、FIFOを経由した高速なデータ転送を実現できる。また、クロスバースイッチを用いることによって、従来と比較して高価なFIFO数を削減できるため、コストを低減できる。

【0026】実施の形態2. 図6は、本発明にかかるマルチプロセッサシステムの実施の形態2の構成を示す図であり、4, 5, 6はDSPである。実施の形態1では、FIFO31の両端子がそれぞれマスターDSP1とクロスバースイッチ21に接続されているが、実施の形態2では、たとえば、FIFO31の両端子がクロスバースイッチに接続されている。これにより、DSP4, 5, 6がすべて同一の扱いとなり、マスター、スレーブという機能分担がなくなる。なお、DSP以外のデバイスについては、前述した実施の形態1と同様であるためその説明を省略する。

【0027】以下、実施の形態1と同様に、マルチプロセッサシステムをデジタル無線機に適用した場合を一例として説明する。したがって、ペリフェラル11を入力ペリフェラルとし、ペリフェラル12を出力ペリフェラルとする。

【0028】ここで、本実施の形態のマルチプロセッサシステムのデータ転送経路について説明する。図7, 図8, 図9は、データ転送経路の一例を示す図である。

【0029】たとえば、ペリフェラル11により変換された受信データは、FIFO32に蓄えられる。DSP4, 5, 6では、FIFO32に蓄えられ受信データを、図7に示す経路で読み出す。

【0030】また、DSP間のデータ転送は、図8に示す経路で実現できる。たとえば、DSP4では、FIFO31を経由して、DSP5, 6にデータを転送する (図8参照)。また、DSP5では、FIFO31を経由して、DSP4, 6にデータを転送する (図8参照)。DSP6では、FIFO31を経由して、DSP4, 5にデータを転送する (図8参照)。このように、任意のDSP間においてFIFOを用いた高速転送を実現できる。

【0031】また、データを出力する場合、DSP 4, 5, 6では、送信データをFIFO33に蓄える。そして、ペリフェラル12では、FIFO33からデータを受け取り、変換後のデータを出力する(図9参照)。

【0032】このように、本実施の形態では、FIFOおよびクロスバースイッチを経由してすべてのデバイスを接続しているため、任意のデバイス間でデータ転送を実現できる。また、マスター、スレーブという関係に機能を分担することなく、FIFOを経由した高速なデータ転送を実現できる。また、クロスバースイッチを用いることによって、従来と比較して高額のFIFO数を削減できるため、コストを低減できる。

【0033】なお、上記実施の形態1および2では、FIFOを用いたデータ転送について説明したが、これに限らず、たとえば、FIFOをDP (Dual Port) -RAMに置き換えてもよい。

【0034】

【発明の効果】以上、説明したとおり、本発明によれば、データ蓄積手段および切り替え手段を経由してデバイス間を接続している。これにより、任意のデバイス間のデータ転送を実現できる、という効果を奏する。

【0035】つぎの発明によれば、マスターとして動作するプロセッサとスレーブとして動作する複数のプロセッサとを備える構成とし、さらに、データ蓄積手段および切り替え手段を経由してデバイス間を接続している。これにより、スレーブとして動作するプロセッサ間以外の任意のデバイス間でデータ転送を実現できる、という効果を奏する。また、データ蓄積手段を共有できるため、従来と比較してデータ蓄積手段を削減できる、という効果を奏する。

【0036】つぎの発明によれば、データ蓄積手段を、マスターとして動作するプロセッサとスレーブとして動作するその他のプロセッサとの間で転送されるデータを一時的に蓄えるプロセッサ用FIFOと、周辺機器とプロセッサとの間で転送されるデータを周辺機器毎に一時的に蓄える複数の周辺装置用FIFOと、で構成する。これにより、FIFOを経由した高速なデータ転送を実現できる、という効果を奏する。

【0037】つぎの発明によれば、プロセッサと周辺装置との間、およびプロセッサ間、でデータ蓄積手段および切り替え手段を経由したデータ転送を行うため、すなわち、データ蓄積手段および切り替え手段を経由してすべてのデバイスを接続しているため、任意のデバイス間でデータ転送を実現できる、という効果を奏する。また、データ蓄積手段を共有できるため、従来と比較してデータ蓄積手段を削減できる、という効果を奏する。

【0038】つぎの発明によれば、データ蓄積手段を、プロセッサ間で転送されるデータを一時的に蓄えるプロ

セッサ用FIFOと、周辺機器とプロセッサとの間で転送されるデータを周辺機器毎に一時的に蓄える複数の周辺装置用FIFOと、で構成する。これにより、マスター、スレーブという関係に機能を分担することなく、FIFOを経由した高速なデータ転送を実現できる、という効果を奏する。

【0039】つぎの発明によれば、切り替え手段としてクロスバースイッチを用いることによって、従来と比較して高額のFIFO数を削減できるため、コストを低減できる、という効果を奏する。

【0040】つぎの発明によれば、プロセッサと周辺装置との間、およびマスターとして動作するプロセッサとスレーブとして動作するプロセッサとの間、でFIFOおよび切り替え装置を経由したデータ転送を行う。これにより、スレーブとして動作するプロセッサ間以外の任意のデバイス間でデータ転送を実現できる、という効果を奏する。また、FIFOを経由した高速なデータ転送を実現できる、という効果を奏する。

【0041】つぎの発明によれば、プロセッサと周辺装置との間、およびプロセッサ間、でFIFOおよび切り替え装置を経由したデータ転送を行う。これにより、任意のデバイス間でデータ転送を実現できる、という効果を奏する。また、マスター、スレーブという関係に機能を分担することなく、FIFOを経由した高速なデータ転送を実現できる、という効果を奏する。

【図面の簡単な説明】

【図1】 本発明にかかるマルチプロセッサシステムの実施の形態1の構成を示す図である。

【図2】 データ転送経路の一例を示す図である。

【図3】 データ転送経路の一例を示す図である。

【図4】 データ転送経路の一例を示す図である。

【図5】 データ転送経路の一例を示す図である。

【図6】 本発明にかかるマルチプロセッサシステムの実施の形態2の構成を示す図である。

【図7】 データ転送経路の一例を示す図である。

【図8】 データ転送経路の一例を示す図である。

【図9】 データ転送経路の一例を示す図である。

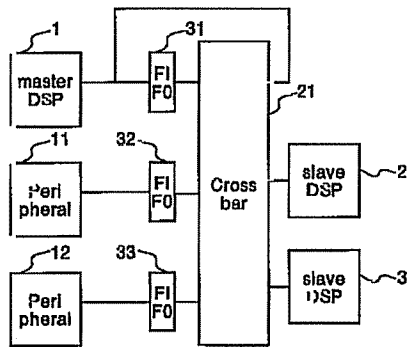
【図10】 従来のデータ処理装置の構成を示す図である。

【図11】 従来のデータ処理装置の構成を示す図である。

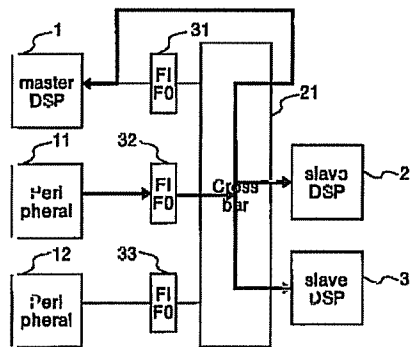
【符号の説明】

1 マスターDSP (master DSP)、2, 3 スレーブDSP (slave DSP)、4, 5, 6 DSP、11, 12 ペリフェラル (Peripheral)、21 クロスバースイッチ (Cross bar)、31, 32, 33 FIFO。

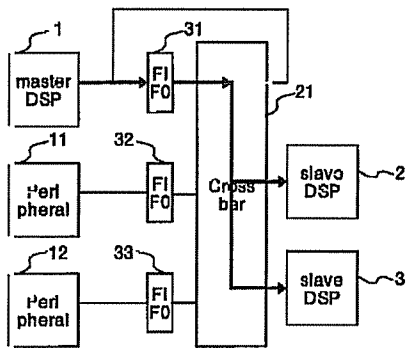
【図1】



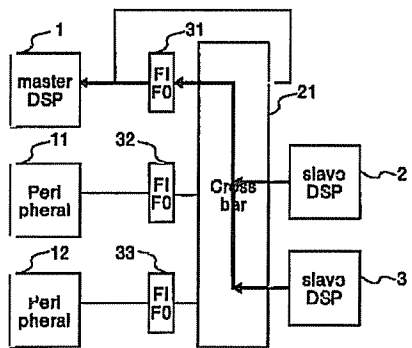
【図2】



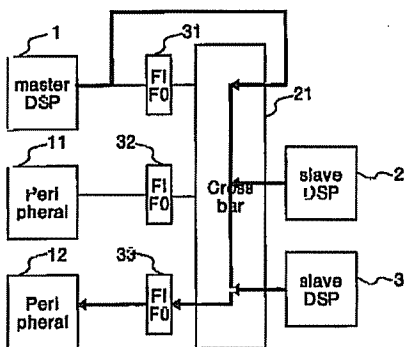
【図3】



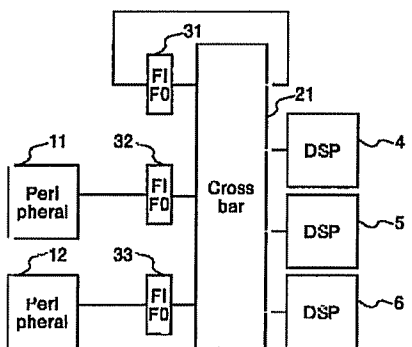
【図4】



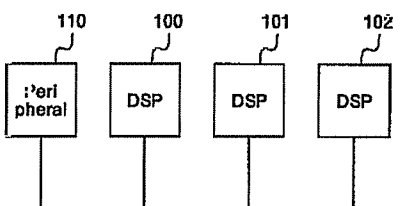
【図5】



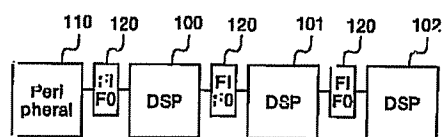
【図6】



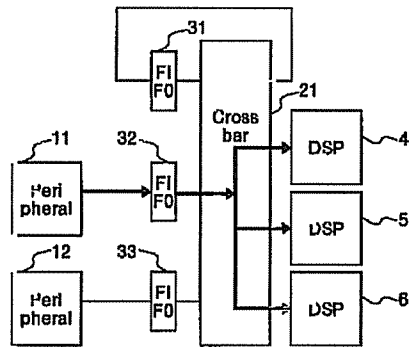
【図10】



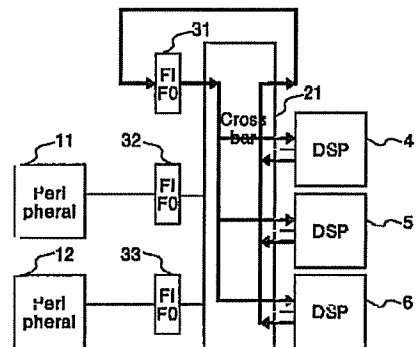
【図11】



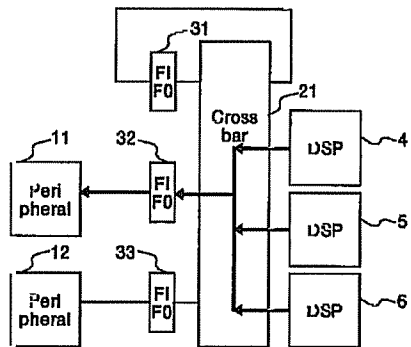
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G 0 6 F 15/17  
15/173

識別記号

F I

G 0 6 F 15/17  
15/173

(参考)

G